

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-216439

(43)Date of publication of application : 27.08.1993

(51)Int.Cl.

G09G 3/36
G02F 1/133
G02F 1/133
H04N 5/66

(21)Application number : 04-022521

(71)Applicant : HITACHI LTD
HITACHI GAZOU JOHO SYST:KK

(22)Date of filing : 07.02.1992

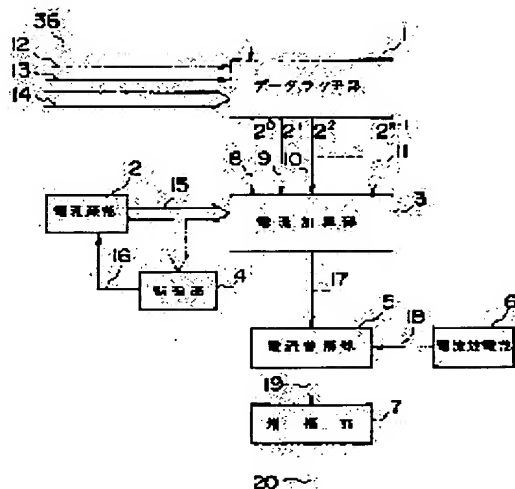
(72)Inventor : MANO HIROYUKI
SUZUKI TETSUYA
SUZUMURA SHINTARO
SHIRANE HIROAKI
FURUHASHI TSUTOMU
NISHIMOTO KAZUHISA
FUTAMI TOSHIO

(54) MULTIGRADATION DRIVING CIRCUIT FOR LIQUID CRYSTAL

(57)Abstract:

PURPOSE: To provide the multigradation driving circuit for a liquid crystal which generates a liquid crystal impressing voltage for the multigradation display by less input of the gradation level signal.

CONSTITUTION: This circuit is provided with a data latching section 1 accommodating gradation information, a current source section 2 weighted corresponding to the gradation information, a current addition section 3 adding currents from the current source section 2 according to the gradation information, a current accumulating section 5 accumulating currents added with current, a current discharging section 6 initializing the current accumulating section 5, an amplifier 7 to impress the voltage accumulated in the current accumulating section 5 to liquid crystal pixels and a monitoring section 4 adjusting the dispersion of the current accumulating section 5. By replacing the gradation information with the current quantity the multigradation display is available with less input of the gradation level signal and the effect for eliminating the increase of the number of pins of multigradation driving circuit LSI of the liquid crystal is obtained.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

the examiner's decision of rejection or
application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision
of rejection]
[Date of requesting appeal against examiner's
decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-216439

(43)公開日 平成5年(1993)8月27日

| (51)Int.Cl. ⁵ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|--------------------------|---------|---------|-----|--------|
| G 0 9 G 3/36 | | 7319-5G | | |
| G 0 2 F 1/133 | 5 1 0 | 7820-2K | | |
| | 5 2 0 | 7820-2K | | |
| H 0 4 N 5/66 | 1 0 2 B | 9068-5C | | |

審査請求 未請求 請求項の数11(全 26 頁)

(21)出願番号 特願平4-22521

(22)出願日 平成4年(1992)2月7日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233136

株式会社日立画像情報システム

神奈川県横浜市戸塚区吉田町292番地

(72)発明者 ▲真▼野 宏之

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所マイクロエレクトロニク

ス機器開発研究所内

(74)代理人 弁理士 富田 和子

最終頁に続く

(54)【発明の名称】 液晶の多階調駆動回路

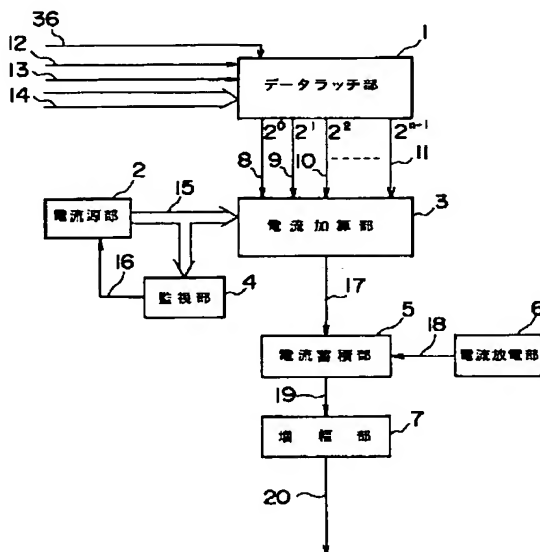
(57)【要約】

【目的】 少ない階調レベル信号入力で、多階調表示のための液晶印加電圧を発生する液晶の多階調駆動回路を提供する

【構成】 階調情報を収納するデータラッチ部1と階調情報に対応して重み付けされた電流源部2と、階調情報に従って電流源部2からの電流を加算する電流加算部3と、前記電流加算された電流を蓄積する電流蓄積部5と、電流蓄積部5を初期化する電流放電部6と、前記電流蓄積部5に蓄積した電圧を液晶画素へ印加するための増幅部7と、前記電流蓄積部5のバラツキを補正する監視部4とを備える。

【効果】 階調情報を電流量に置き換えることで、少ない階調レベル信号入力で、多階調表示が可能であり、液晶の多階調駆動回路LSIのピン数増加を解消できる効果がある。

図 1



【特許請求の範囲】

【請求項1】階調情報を受けて、多階調表示するための液晶印加電圧を発生する多階調駆動回路において、複数の電流源を有する電流源部と、これらの電流源からの電流を、階調情報に対応して選択して加算する電流加算部と、加算された電流を電圧に変換する電流電圧変換部とを有することを特徴とする多階調駆動回路。

【請求項2】請求項1において、電流電圧変換部は、加算した電流を蓄積して電圧を生成する電流蓄積部と、その蓄積した電流を放電して、電流蓄積部を初期化する電流放電部とを備える多階調駆動回路。

【請求項3】請求項2において、電流源が出力する電流の大きさを監視し、電流源の電流の大きさを制御する監視部をさらに有する多階調駆動回路。

【請求項4】請求項1、2または3において、各々の電流源が出力する電流の大きさを微調整する手段をさらに備える多階調駆動回路。

【請求項5】請求項2において、電流源部は、同一の電流を出力する複数の電流源を有する多階調駆動回路。

【請求項6】請求項2において、電流源部は、 n bit の階調情報に対応して重み付けした n 個の電流源を有する多階調駆動回路。

【請求項7】請求項6において、 n bit の階調情報を収納するデータラッチ部をさらに備える多階調駆動回路。

【請求項8】請求項7において、電流加算部は、 n 個の電流源のうち n bit の階調情報に対応した電流を選択して加算するものである多階調駆動回路。

【請求項9】請求項1または2において、デジタル表示データの赤、緑、青、各々の階調情報に対して、異なる重み付けをした電流源を有する多階調駆動回路。

【請求項10】階調情報を受けて、多階調表示するための液晶印加電圧を発生する多階調駆動回路において、階調情報を収納するデータラッチ部と、複数の電流源を有する電流源部と、これらの電流源からの電流を、データラッチ部に収納された階調情報に対応して選択して、加算する電流加算部と、加算された電流を電圧に変換する電流電圧変換部とを有し、

データラッチ部は、収納した情報を N 分割して出力する手段を有し、

電流加算部は、データラッチ部に収納されている情報を $1/N$ ずつ加算処理する大きさを有し、

加算された電流を、順次、電流電圧変換部に送る手段をさらに有することを特徴とする多階調駆動回路。

【請求項11】複数の画素がマトリクス状に配置され、それらの画素で画像のカラー表示を行なう液晶パネルと、複数の多階調駆動回路を接続したデータドライバと、走査ドライバとを有し、

多階調駆動回路は、複数の電流源を有する電流源部と、これらの電流源からの電流を、階調情報に対応して

選択して加算する電流加算部と、加算された電流を電圧に変換する電流電圧変換部とを有することを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、液晶の駆動回路に係り、特に、多階調表示に適した多階調駆動回路に関する。

【0002】

【従来の技術】近年、ノート型パーソナルコンピュータ（以下、パソコンと略記）およびブック型パソコン等のいわゆる携帯型パソコンが普及しつつある。これらの携帯型パソコンでは、そのキーデバイスとして、液晶表示装置が用いられている。この液晶表示装置にあっては、CRTディスプレイと同様に、カラー化、多色化の要望が強まっている。

【0003】液晶表示装置のカラー化の方法としては、赤（R）、緑（G）、青（B）のカラーフィルタを用い、それぞれを液晶の各画素に配置することで実現している。また、多色化の方法としては、特開昭63-304229号公報に開示されているものがある。これは、液晶に印加する電圧を m レベル用意し、液晶の多階調駆動回路へ入力することで、液晶の多階調駆動回路は、表示データの階調情報によって、 m レベルの電圧のうち一つを選択して、液晶の各画素に印加し、 m^3 色を実現している。

【0004】なお、本明細書では、 m レベルの階調表示を行うために液晶の多階調駆動回路へ入力する電圧（もしくは電流）を、階調レベル信号と定義する。従って、本従来例での階調レベル信号は、 m 個の電圧ということになる。

【0005】

【発明が解決しようとする課題】上述した従来の技術の場合、 $m=8$ 、すなわち、512色表示までは、液晶の多階調駆動回路のチップサイズから実現可能である。ところが、マルチメディアによる液晶表示装置のフルカラー化（すなわち26万色、1600万色）への対応を考慮すると、 $m=64$ または $m=256$ となり、入力する電圧レベル、すなわち、階調レベル信号が多くなる。しかし、このように多くの階調レベル信号を用意することは、液晶の多階調駆動回路のチップサイズ、基板の配線、電源回路の規模等を考慮すると、実現が困難である。

【0006】このように、上記従来の技術は、液晶表示装置のフルカラー化の場合、液晶の多階調駆動回路への入力電圧本数（すなわち、階調レベル信号）が多く、液晶の多階調駆動回路LSIとしての実現性に問題があった。

【0007】本発明の目的は、液晶表示装置のフルカラー化に対応すべく、少ない階調レベル信号入力で、多色

化を実現する多階調表示に適した多階調駆動回路を提供することにある。

【0008】

【課題を解決するための手段】上記目的を達成するために、本発明の一態様によれば、階調情報を受けて、多階調表示するための液晶印加電圧を発生する多階調駆動回路において、複数の電流源を有する電流源部と、これらの電流源からの電流を、階調情報に対応して選択して加算する電流加算部と、加算された電流を電圧に変換する電流電圧変換部とを有することを特徴とする多階調駆動回路が提供される。

【0009】電流電圧変換部は、加算した電流を蓄積して電圧を生成する電流蓄積部と、その蓄積した電流を放電して、電流蓄積部を初期化する電流放電部とを備えるもので構成することができる。電流蓄積部としては、コンデンサを用いることができる。

【0010】本発明は、電流源が出力する電流の大きさを監視し、電流源の電流の大きさを制御する監視部をさらに有することができる。

【0011】また、本発明は、各々の電流源が出力する電流の大きさを微調整する手段をさらに備えることができる。

【0012】電流源部は、同一の電流を出力する複数の電流源で構成することができる。

【0013】また、電流源部は、 n bit の階調情報に対応して重み付けした n 個の電流源で構成することができる。この場合、電流加算部は、 n 個の電流源のうち n bit の階調情報に対応した電流を選択して加算するものとすることができる。

【0014】さらに、電流源部は、デジタル表示データの赤、緑、青、各々の階調情報に対して、異なる重み付けをした電流源で構成することができる。

【0015】

【作用】電流源部は、複数の電流源からそれぞれ予め定め等大きさの電流を出力する。この電流の大きさは、すべて均等とするか、重み付けをした大きさとすることができる。

【0016】電流加算部は、これらの電流源からの電流を、階調情報に対応して選択して加算する。電流源の選択は、階調情報に示す階調を得るに必要な印加電圧に対応する電流となる、1または2以上の電流源を選ぶことにより行なう。2以上の電流源が選択された場合、それらの電流は重ね合わされて加算される。

【0017】電流電圧変換部は、加算された電流を電圧に変換する。変換は、例えば、コンデンサ等で、加算した電流を蓄積して電圧を生成することによって行なうことができる。なお、電流電圧変換部は、蓄積された電流を放電することにより初期化することができる。

【0018】なお、電流源部は、階調情報 b it 数に対応した電流源を設け、それぞれの電流源の電流を階調情

報に対応して重み付けを行うことができる。これにより、必要な電流源の数を、重み付けを行わない場合に比べて、減少させることができる。

【0019】

【実施例】以下、本発明の実施例について、図面を用いて説明する。

【0020】まず、本発明の多階調駆動回路が用いられる液晶表示装置の実施例について、図21を参照して説明する。

【0021】図21に示す液晶表示装置は、複数の画素がマトリクス状に配置され、それらの画素で画像のカラー表示を行なう液晶パネル114と、複数の多階調駆動回路121、122、…123をカスケード接続したデータドライバ120と、走査ドライバ115とを有する。

【0022】なお、図21において、78はホールド信号、12はゲート信号、28は監視部充電信号、61は1ラインラッチ信号、13はラッチ信号、14は表示データ、69は右シフトスタート/左シフトエンド信号、70は右シフトエンド/左シフトスタート信号である。

【0023】液晶パネル114は、データドライバ120の出力信号線120aの1本と、走査ドライバ115の信号線115aの1本との交点に、1画素MOSトランジスタ116と、液晶容量117と、付加容量118とが配置される構成となっている。これらが、液晶パネル14の1画素を構成する。

【0024】なお、多階調駆動回路121等は、後述する各実施例の多階調駆動回路で構成することができる。また、この場合、例えば、1の多階調駆動回路を1のLSI (Large Scale Integrated-circuit) とすることができる。

【0025】このような構成において、1ライン分の表示データ14は、ラッチ信号13によってデータドライバ120に順次書き込まれる。1ラインラッチ信号61、監視部充電信号28、ゲート信号12、ホールド信号78によって、データドライバは、入力された1ライン分の表示データに対応した液晶印加電圧を生成出力する。この液晶印加電圧は、液晶パネル114に配置されている全ての1画素MOSトランジスタ116のドレインに加えられる。一方、走査ドライバ115は、走査シフト信号112の入力によって、走査するラインを順次替える。走査ドライバ115の出力は、各1画素MOSトランジスタ116のゲートに接続されているので、走査ラインの液晶容量117、付加容量118には、データドライバが生成出力した電圧が蓄積される。

【0026】このようにして、各画素において、表示データに対応した階調で表示が行なわれ、結果として、多色表示が行なえる。

【0027】以下、本発明の多階調駆動回路の実施例について、図面を参照して説明する。

【0028】図1は、本発明の1実施例の構成の概要を示すブロック図である。

【0029】本実施例は、 n bitの階調情報をラッチするためのデータラッチ部1と、複数の電流源を有する電流源部2と、電流源部2の複数の電流源からの電流を、階調情報に対応して選択して加算する電流加算部3と、加算された電流を蓄積する電流蓄積部5と、蓄積された電流を放電する電流放電部6と、電流蓄積部5の出力電圧を増幅する増幅部7と、電流蓄積部5の容量Cのバラツキを補正するための監視部4とを備える。

【0030】電流蓄積部5は、容量Cのコンデンサとして機能し、電流放電部6と共に、加算された電流を電圧に変換する電流電圧変換部として機能する。

【0031】ここで、説明を明瞭にするために、液晶1画素に限定して図1の動作を説明する。

【0032】 n bitの階調情報を信号線14より入力し、信号線13のラッチ信号によってデータラッチ部1に書き込む。そして、データラッチ部1は、信号線12から入力されるゲート信号によって、信号線8、9、10、11を使って、入力した階調情報を、一定時間、電流加算部3へ出力する。信号線8、9、10、11は、階調情報のbitに対応して 2^0 、 2^1 、 2^2 、… $2^{(n-1)}$ 乗の重み付け出力になっている。

【0033】電流源部2は、前記重み付けに対応した電流量を、電流加算部3と監視部4へ出力する。そして、電流加算部3は、データラッチ部1からの階調情報による重み付け出力にしたがって、電流源部2が出力する重み付けされた電流を加算し、電流蓄積部5へ信号線17を使って出力する。例えば、ゲート信号が“H”の期間をゲートON期間として、データラッチ部1が入力した階調情報を、信号線8、9、10、11を使って電流加算部3へ出力するものと定義し、この時間を T_{on} (sec)とする。そして、この間、電流加算部3が出力する電流を i とする。この場合、電流蓄積部5に供給された電流によって発生する電圧 V_c は、 $V_c = (1/C) * i * T_{on}$

となる。ここで、Cは、電流蓄積部5の容量である。

【0034】すなわち、 T_{on} = 一定とすると、電流加算部3で発生した電流 i は階調情報に相応したものであることから、 V_c は、階調情報に相応した電圧となる。そして、電流蓄積部5で発生した電圧 V_c を増幅部7で増幅し、液晶1画素の電極に加えることで、 V_c に応じた階調を得ることができる。

【0035】また、電流放電部6は、次の階調情報に相応した電流量を電流蓄積部5へ蓄積し V_c を発生させるために、前回に蓄積した電流を放電し、初期状態に戻すものである。

【0036】さらに、監視部4は、電流蓄積部5の容量Cのバラツキを補正するためのもので、電流源部2の出力する電流を監視し、電流源の出力する電流を変化させ

ることで、容量Cのバラツキを制御する。

【0037】次に、本実施例について、図2に示す具体的な回路例と、図3に示すタイミングチャートを参照してさらに詳細に説明する。なお、図2において、図1に示されるものと同様のものには、同一符号を付してある。

【0038】電流源部2は、その構成要素として、重み付けされた電流量を出力する電流源21、22、23、…24を有する。電流源21、22、23、24は、データラッチ部1が出力する階調情報に対応しており、階調情報が n bitであれば n 個の電流源が必要である。そして、それぞれの電流量は、データラッチ部1の出力 2^0 、 2^1 、 2^2 、… $2^{(n-1)}$ 乗に対応して、 $2^0 * i$ 、 $2^1 * i$ 、 $2^2 * i$ 、… $(2^{(n-1)} \text{乗}) * i$ としてある。

【0039】監視部4は、その構成要素として、電流蓄積部5と同じ容量Cを有するコンデンサ25と、誤差補正参照電圧源26と、コンパレータ27と、スイッチ34と、コンデンサ25の放電スイッチ35とを有する。

【0040】電流加算部3は、その構成要素として、スイッチ30、31、32、…33を有する。各スイッチ30、31、32、…33の出力側は、共通に接続され、電流を加算できるようになっている。ここで、スイッチとしては、MOSトランジスタを用いている。

【0041】次に、本実施例の動作について説明する。

【0042】ゲートON期間にデータラッチ部1が出力した階調情報が、2進数でLSBから(1001)であるとする。すなわち、信号線8には1、信号線9には0、信号線10には0、信号線11には1がそれぞれ出力される。この時、電流加算部3のMOSスイッチ30、33がON状態となり、電流加算部3の出力は、次のようになる。

$$【0043】2^0 * i + 2^3 * i = 9 * i$$

この電流が信号線17に流れる。電流蓄積部5は、容量Cのコンデンサとして機能し、その電流を蓄積する。これによって、本例では、

$$V_c = (1/C) * 9 * i * T_{on}$$

という電圧を発生する。この電圧は、データラッチ部1が出力した階調情報に定数 i 、 $(1/C)$ 、 T_{on} をかけた値である。すなわち、電流蓄積部5で発生する電圧値は、入力された階調情報によって一義的に決定することができる。

【0044】監視部4は、ゲートON期間とは同一期間ではあるが異なるタイミングで、電流源21、22、23、…24全ての電流を加算して、電流蓄積部5と同じ容量Cのコンデンサ25に蓄積する。すなわち、これは、液晶1画素に印加する電圧の最大値を示す。この電圧を誤差補正参照電圧26とコンパレータ27において比較することで、その差を制御値として電流源部2を制御することができる。本実施例では、液晶1画素に印加

する最大電圧をそのまま参照電圧としている。

【0045】ここで、図3のタイミングチャートを用いて、図2の時間動作を説明する。

【0046】図3において、符号36はリセット信号、14は階調情報、13はラッチ信号、29は放電信号、28は監視部充電信号、12はゲート信号、37はコンデンサ25の蓄積電圧、38は電流蓄積部5の蓄積電圧である。

【0047】まず、リセット信号36を“L”にすることによって、データラッチ部1を初期化する。階調情報14をラッチ信号13の立上りでデータラッチ部1へ書き込む。

【0048】書き込んだ階調データ14を液晶1画素へ印加する電圧、すなわち、蓄積電圧38へ変換するには、データラッチ部1へ書き込み後、まず、放電信号29によってコンデンサ25と電流蓄積部5を放電し初期化する。次に、監視部充電信号28によって監視部4のコンデンサ25に電流を蓄積し、蓄積電圧37を発生する。そして、その蓄積電圧37と誤差補正参照電圧26と比較することで、電流源部2の出力電流量を制御する。次に、ゲート信号12によって、データラッチ部1が入力した階調情報に従って、電流蓄積部5の蓄積電圧38が発生する。以降、リセット信号36を除いて、繰返し動作することで、階調情報に従った液晶1画素への印加電圧を次々と発生することができる。

【0049】電流源部2の具体的な構成と、監視部4による容量Cのバラツキ補償について、図4、図5、図6を用いて説明する。なお、図4には、電流源部2と監視部4のコンパレータ27部分を示している。図2に示したものと同じ要素については同一符号を付してある。また、図4において、47はフィルタ、48はコンパレータ27の出力信号である。

【0050】電流源部2は、LSI化を考慮して、MOSトランジスタ2aおよび40から46によるカレントミラー回路によって構成される。すなわち、MOSトランジスタ40から46を同一トランジスタで構成し、組合せの数を 2^0 、 2^1 、 2^2 、… $2^{(n-1)}$ の $(n-1)$ 乗個とすることで、前記図2を用いて説明した電流源部2を容易に実現することができる。また、電流蓄積部5のバラツキとしては、本発明の液晶ドライバをLSI化する場合、LSIのチップ間バラツキを想定すると、その容量Cのチップ間バラツキは30%程度であり、多階調表示を考えると、無視出来ない量である。電流 i と電流 i を蓄積することで発生する蓄積電圧 V_c との関係は、蓄積時間を t 、容量を C_{typ} とすると、 $V_c = (1/C_{typ}) * i * t$

で与えられる。本発明では t ＝一定であるため、 $(1/C_{typ})$ を傾きとする V_c 、 i の一次関数となる。本発明では、電流蓄積部5と監視部4のコンデンサ25とは、同一チップ内の同じ大きさの容量としている。この

ため、電流蓄積部5のバラツキは、コンデンサ25のバラツキと等化と考えるとよい。

【0051】図5には、縦軸をコンデンサ25の蓄積電圧 V_c 、横軸を電流源部2の総和電流 i として、 V_c と i の関係をグラフ化して示している。図5において、コンデンサ25がばらつかない場合の容量を C_{typ} として、この時の電流($i = i_{typ}$)を一定時間 t だけ蓄積した場合、 V_c は誤差補正電圧26(V_{ref})に達するものとする。ここで、例えば、チップ間で+30%方向に容量Cがばらついていたらとすると、電流 i_{typ} では、コンデンサ25には誤差補正参照電圧26に満たない電圧値が蓄積される。

【0052】この場合の監視部4の制御状態を図6を用いて説明する。図6において、符号28は図3のタイミングチャートで説明した監視部充電信号、50はコンデンサ25の蓄積電圧、48はコンパレータ27の出力、49はフィルタ47の出力電圧、51は i_{typ} 流すための電流源電圧である。

【0053】コンデンサ25が+30%ばらついたため、監視部充電信号28の“H”期間でのコンデンサ25の蓄積電圧50が、誤差補正参照電圧26に満たなかったとすると、コンパレータ27からの出力は、コンパレータ27入力差のゲイン倍の電圧出力48となる。すなわち、 i_{typ} 時の電圧より高電位となる。コンパレータ27の出力は、フィルタ47および抵抗39を介してMOSトランジスタ2aに印加される。これによって、MOSトランジスタ40から46が電流を多く流すように制御が加わる。

【0054】一方、電流を増やし過ぎた場合は、次の監視部充電信号28の“H”期間でコンデンサ25の蓄積電圧50は、誤差補正参照電圧26を超えるので、コンパレータ27の出力は、 i_{typ} 時の電圧よりも低電位となり、電流を少なく流すように作用する。コンパレータ27の反応速度が速いと、前記制御が俊敏に起こるため、制御の平滑化の目的で、フィルタ47を挿入し、出力電圧49を得ることができる。

【0055】以上のように、容量Cのバラツキを監視部4は、補正制御することが可能である。

【0056】また、液晶への印加電圧を微調整する方法を実現するための回路の一例を図7に示す。

【0057】図7に示す回路は、電流微調レジスタ52と、スイッチ部53と、微調電流源部54とを有する。微調電流源部54は、前記図4で示した電流源21の数%ないし数十%程度の電流源を内部に複数持つ。

【0058】微調整するには、まず、ユーザが微調量を電流微調レジスタ52へ設定する。これにより、電流微調レジスタ52の内容に従ってスイッチ部53を選択的にON/OFFすることで、出力電流を微調整することができる。

【0059】なお、微調電流源部54の具体的な実現方

法は、LSI内部においてトランジスタサイズを変えることで容易に実現可能である。

【0060】電流を加算し電流蓄積部5へ蓄積して、液晶1画素に対して階調情報に従った印加電圧を発生する方法は、以上説明した通りである。

【0061】次に、複数画素に対する本発明の液晶の多階調駆動回路の実施例に関して説明する。

【0062】図8は、本発明の第2実施例として、液晶の複数画素に対する多階調駆動回路の構成を示している。なお、上記図1および図2に示したものと同様の要素には、同一符号を付し、重複した説明は省略する。

【0063】本実施例の基本構成は、図1に示すものと同様であって、データラッチ部1と、電流源部2と、電流加算部3と、監視部4と、電流蓄積部5と、電流放電部6と、増幅部7とを備えている。

【0064】データラッチ部1は、その構成として、チップセクタ・シフト62と、データレジスタ63と、データラッチ64と、ゲート65とを備える。なお、61は1ラインラッチ信号、66、67、68はデータレジスタへのチップセレクト信号、69は右シフトスタート/左シフトエンド信号、70は右シフトエンド/左シフトスタート信号である。

【0065】複数画素に対応するためのポイントは、主にデータラッチ部1の構成にある。一方、電流源部2、電流加算部3、監視部4、電流蓄積部5、放電部6および増幅部7については、扱う画素分用意すればよく、それらの機能および動作は、上述した液晶1画素におけるそれと何ら変わるところはない。ただし、監視部4は、一つの液晶の多階調駆動回路LSIに最低一つあればよい。

【0066】また、本実施例では、R、G、Bカラーフィルタを縦に交互に並べる、いわゆる縦ストライプのカラー液晶表示装置を扱うものとして説明する。表示データは、信号線14から入力し、R、G、B3色分を階調情報を含めて同時に入力するものと仮定する。従って、階調情報がnbitである場合、3nbitの表示データ（これを1ドットの表示データと定義する）を同時に入力するものである。ここでは、複数画素をNドットとして説明する。

【0067】チップセクタ・シフト62は、リセット信号36により初期化される。そして、ラッチ信号13の入力と入力回数によって、データレジスタ63へ必要なチップセレクト信号を出力したり、さらに、液晶の多階調駆動回路のカスケード接続のため、右シフトスタート/左シフトエンド信号69、右シフトエンド/左シフトスタート信号70を入出力する。例えば、データレジスタ63の左側から右側に向かって順次表示データを書き込みたければ、チップセクタ・シフト62へその旨を通知し、右シフトスタート/左シフトエンド信号69を入力する。そして、ラッチ信号13の入力に従って、

チップセレクト信号66、チップセレクト信号67、…チップセレクト信号68を順次出力し、右シフトエンド/左シフトスタート信号70を出力する。また、逆に、データレジスタ63の右側から左側に向かって順次表示データを書き込みたければ、チップセクタ・シフト62へその旨を通知し、今度は、右シフトエンド/左シフトスタート信号70を入力する。そうすると、ラッチ信号13の入力によって、チップセレクト信号68、…チップセレクト信号67、チップセレクト信号66を順次出力し、右シフトスタート/左シフトエンド信号69を出力する。このようなNドット分のチップセクタ・シフト62は、N進カウンタ回路、デコーダ回路、そして、Nbitシフトレジスタ回路で容易に実現できる。

【0068】次に、データレジスタ63は、液晶パネルのカラーストライプの並びに従って、R、G、B交互に配置される複数のレジスタを有し、一つのレジスタはnbitで構成される。1ドット分の表示データを1度に書き込むため、同一のチップセレクト信号を1ドット分のレジスタに入力する。Nドット分のデータレジスタは、3nNbitの容量となる。データレジスタ63に書き込まれたNドット分の表示データは、1ラインラッチ信号61によって、データレジスタ63からデータラッチ64へ転送される。

【0069】さらに、1ラインラッチ信号61は、監視部4、電流放電部6へ入力され、容量26、そして電流蓄積部5を初期化する。そして、ゲート信号12によって、図1から図7で説明した本発明で特徴的な電流源部2、電流加算部3、監視部4、電流蓄積部5、電流放電部6、増幅部7が動作し、3N画素それぞれのnbit階調情報に対応した各液晶画素への印加電圧を発生する。

【0070】次に、図9に示すタイミングチャートを用いて、図8のブロック図に示す本実施例の動作について説明する。

【0071】図9は複数画素に対する本実施例の動作を示すタイミングチャートである。図3、図8に示すものと同様のものには同一符号を付した。なお、図9では、データレジスタ63の左から右へ書き込む場合について説明する。

【0072】リセット信号36入力後、右シフトスタート/左シフトエンド信号69”H”をラッチ信号13の立上りでサンプリングし、表示データ1ドット分をデータレジスタ63へ書き込む。そして、これ以降のラッチ信号13の立上りで、順次右シフトしてデータレジスタ63へ書き込む。Nドット書き込み後、N個目のラッチ信号13の立ち下がりに同期して、右シフトエンド/左シフトスタート信号70を”H”出力する。右シフトエンド/左シフトスタート信号70は、次の液晶の多階調駆動回路の右シフトスタート/左シフトエンド信号69の入力に接続されている。これによって、次の液晶の多

階調駆動回路へ表示データを書き込むことができる。

【0073】以上の動作を繰返し、1ライン分の表示データをデータレジスタ63に書き込み終わると、Nドットラッチ信号61を入力して、データレジスタ63の内容をデータラッチ64へ転送すると共に、コンデンサ25および電流蓄積部5を初期化する。そして、監視部充電信号28の“H”期間で、コンデンサ25の蓄積電圧37は、図9のようになり、ゲート信号12の“H”期間でゲート65から各液晶画素の階調情報が電流加算部3へ出力され、1ライン分の各液晶画素に対する印加電圧38が発生する。

【0074】次に、本発明の第3の実施例として、液晶の複数画素に対する多階調駆動回路の実施例について説明する。

【0075】図10に、本実施例の多階調駆動回路の構成を示す。なお、図10において、図8と同様の構成要素には同一符号を付し、重複した説明は省略することとする。

【0076】図10に示す実施例は、図8に示す実施例に比べ、データラッチ部1の構成において、データラッチ64が存在するか否かの違いしかない。図10の実施例では、データレジスタ63のデータをそのままゲート65を介して、電流を蓄積する構成であり、動作のタイミング的にも、図9で示したものと何ら変わることはない。しかし、表示データの書き込みにおいて、図8の実施例は、1ラインラッチ信号によって表示データをデータレジスタ63からデータラッチ64へ転送した後には、データレジスタ63へ新規な表示データを書き込むことが可能である。しかし、図10実施例では、電流蓄積部5に蓄積が終了するまで、新規な表示データを書き込みできない違いがある。図10のような構成でも、少しの書き込み禁止期間を許容するシステムにおいては有用である。

【0077】以上に述べた実施例によって、本発明を実現することができることはいうまでもないが、本発明をよりよく実施するための変形例のいくつかについて、さらに説明する。

【0078】図9に示したように、電流蓄積部5の蓄積電圧38は、放電の際に電圧値が下がる。液晶への電圧印加期間が短く、放電期間が見えるようであれば、階調表示に問題が出てくることが予想される。そこで、この対策回路を図11に示す。なお、図2と同一の構成要素には同じ符号を付してある。

【0079】本実施例は、サンプル回路76と、ホールド回路71とを有する。これらは、一般的なサンプル回路およびホールド回路と同様に動作する。本実施例は、このサンプル回路76とホールド回路71とを、例えば、上記した図8に示す実施例の駆動回路に設けて構成される。

【0080】サンプル回路76は、電流電圧変換を行な

う電流蓄積部5および電流放電部6を有する。電流蓄積部5および電流放電部6は、例えば、上記した図8に示す実施例の駆動回路に設けられているものをそのまま用いることにより構成できる。

【0081】一方、ホールド部71は、アンプ72と、ホールドスイッチ73と、コンデンサ74とを有する。

【0082】ホールド回路71を図8に示した実施例に適応したときのタイミングチャートを図12に示す。なお、図11、図9と同じものには同一符号を付してある。

【0083】78はホールド信号であり、ゲート信号12のON期間後、ホールド期間とする。77はホールド回路出力で、図に示すように放電期間のない電圧波形となる。

【0084】これまで説明してきた実施例では、液晶の多階調駆動回路が駆動する各液晶画素について、電流源部2、電流加算部3を必要としている。しかし、一つの液晶の多階調駆動回路LSIが駆動する液晶画素数は192(=3×64)画素程度であり、192個の電流源部2を用意することは、LSI作成上、チップサイズの点で制約されることが起こり得ることが予想される。そこで、この対応策を図13に示す。

【0085】図13は前記実施例において、電流源の数を少なくする構成とした一実施例を示している。図8と同じものには同一符号を付してある。なお、より具体的に説明するため、1LSIあたり192画素分の出力を持ち、入力1ドット単位で、階調情報は6ビットとして説明する。

【0086】本実施例は、チップセクタ・シフト62と、データレジスタ63と、データラッチ64と、ゲート65と、電流源部2と、電流加算部3と、監視部4とを備え、さらに、スイッチ部80と、デコーダ部81と、サンプル部82と、ホールド部83とを備える。

【0087】このような構成において、チップセクタ・シフト62から電流加算部3、電流源部2までの処理系は192画素分全部持たず、サンプル部82、ホールド部83は192画素分用意し、デコーダ部81、スイッチ部80によって、数回に分けて書き込みを行うものである。本実施例では、チップセクタ62から電流加算部3、電流源部2までの処理系は4ドット分として説明する。従って、192画素分(64ドット分)を書き込むためには、16回に分けて書き込みを行うこととなる。このため、デコーダ部81は16ビットの出力が必要である。

【0088】図14に、デコーダ部81とスイッチ部80の具体例を示す。なお、図13と同じものには同一符号を付している。

【0089】デコーダ部81は、ゲート信号12を入力して計数し、デコードすればよく、通常の4ビットカウンタ84と、4to16デコーダ85とを有することで

容易に実現できる。そして、スイッチ部80は、電流スイッチとしてMOSトランジスタ86、87、88、89で構成される。本実施例では、一つの電流加算部3に対して16個のMOSトランジスタスイッチが必要である。4ビットカウンタ84の値によって、デコーダ85の16本の出力94、95、96、…97のうち、一つだけが”H”となり、スイッチ部80の16個のMOSトランジスタ86、87、88、…89のうちのどれか一つをONとして、サンプル部82のサンプル回路一つに書き込む。

【0090】例えば、0番目から191番目の出力のうち、0番目のサンプル回路への書き込みを賄う電流加算部3の系では、MOSトランジスタ86は、0番目のサンプル回路90に接続されており、MOSトランジスタ87は、12番目のサンプル回路91に、そして16番目のMOSトランジスタ89は、180番目のサンプル回路93に接続されている。そして、4ビットカウンタ84の値が0、1、…15でデコーダ85の出力信号94、95、…97が”H”となって、それぞれ書き込みを行う。

【0091】図14に示す電流加算部3、スイッチ部80およびサンプル部82は、これの他に11個の系があり、4ビットカウンタ84の値が0、1、…15でそれぞれの系で1番目、13番目…181番目、2番目、14番目…182番目等々のサンプル回路へ書き込みを行っている。そして、最終的に192画素分全部の階調情報に対応した電圧をサンプル部82に蓄積する。図13の動作を図15のタイミングチャートを用いて説明する。

【0092】図15は図13の回路ブロックのタイミングチャートを示している。図において、符号36はリセット信号、14は表示データ、13はラッチ信号、95はデコーダ部81内の4ビットカウンタ出力、61は1ラインラッチ信号、28は監視部充電信号、12はゲート信号、78はホールド信号である。

【0093】リセット信号36の入力で、チップセクタ・シフト62およびデコーダ部81をリセットする。その後のそれぞれの信号の働きは、これまでに説明してきた実施例と何ら変わるところはない。表示データ14をラッチ信号13の立上りでデータレジスタ63へ書き込む。そして、表示データ14の0から3番目までの4ドットデータを書き込み終了後、1ラインラッチ信号61を入力し、データレジスタ63の内容をデータラッチ64へ転送し、さらに、コンデンサ25、電流蓄積部5を初期化する。監視部充電信号28の入力で容量のバラツキ補正を行い、ゲート信号12によって、サンプル部82へ書き込む。この時、4ビットカウンタ84の出力95は0であり、図14のMOSスイッチ86がONとなって、サンプル回路90に書き込む。そしてゲート信号12の立ち下がりによって4ビットカウンタ84の値

を更新する。このような動作を16回続け、最後に、ホールド信号78を入力することで、電流源部2を12画素分持つだけで、192画素分、すなわち、64ドット分の表示データをホールド部へ書き込むことができる。

【0094】次に、さらに電流源部2を少ない数で複数画素に対応するもう一つの実施例について、図16、図17、図18を用いて説明する。

【0095】図16は複数画素に対する少数電流源のもう一つの実施例である。図13と同じものには同一符号を付してある。

【0096】本実施例は、チップセクタ・シフト62と、データレジスタ63と、データラッチ64と、ゲート65と、電流源部2と、電流加算部3と、監視部4とを備え、さらに、スイッチ部80と、デコーダ部81と、サンプル部82と、ホールド部83と、セクタ部101とを備える。

【0097】本実施例は、前記図13に示した実施例では、表示データ14を4ドットおきに区切って、1ラインラッチ信号61、ゲート信号12等を入力していたものを、表示データ14の書き込みは中断することなく行うようにしたものである。従って、チップセクタ・シフト62、データレジスタ63、データラッチ64は、192画素分の回路を持ち、表示データを蓄える。データラッチ64内に蓄えられた表示データは、デコーダ部81とセクタ部101によって、分割して、ゲート65を介して電流加算部3へ出力する。さらに、電流源部2からの電流が電流加算部3で加算されて、その加算された電流について、デコーダ部81とスイッチ部80とで、データラッチ64に対応したサンプル部82に書き込みを行うものである。本実施例においても、データラッチ64の192画素分の表示データを16回に分割してサンプル部82に書き込むものとする。

【0098】図17に、ゲート65周辺の具体的な回路構成を示す。セクタ部101は、デコーダ部81の1本の出力に対して、それを共通ゲート信号とするMOSトランジスタを12個接続している。また、スイッチ部80は、同様に、デコーダ部81の1本の出力に対して、それを共通ゲート信号とするMOSトランジスタを12個接続している。ただし、スイッチ部80とセクタ部101とは、逆の構成となっている。

【0099】セクタ部101は、デコーダ部81の一つの出力で、データラッチ64に収納した4ドット分の表示データ（すなわち12画素分）を選択的にゲート65、電流加算部3を介して、スイッチ部80へ出力する。スイッチ部80は、デコーダ部81の出力に応じて、データラッチ64に対応したサンプル部82の位置にデータを書き込む。本実施例では、デコーダ部81の出力は16信号であり、これによって、一つの液晶の多階調駆動回路LSIで12個の電流源部2を持つだけで、192画素分の液晶画素への印加電圧を生成でき

10

20

30

40

50

る。

【0100】次に、図18を用いて、本実施例の動作を説明する。図18は上記もう一つの実施例のタイミングチャートである。図15と同じものには同一符号を付してある。95は4ビットカウンタ84の出力である。

【0101】リセット信号36の入力によって、チップセクタ・シフタ62、デコーダ部81が初期化される。本実施例では、デコーダ部81を構成する4ビットカウンタ84の初期値は、2進数で(1111)であるとしている。チップセクタ・シフタ62は、図9で説明したように、多階調駆動回路のカスケード接続の制御をしながら、表示データ14をラッチ信号13によってデータレジスタ63へ書き込み、多階調駆動回路への1ライン分の書き込みを行う。

【0102】これ以降、本実施例で特徴的な1ラインラッチ信号61、監視部充電信号28、ゲート信号12の入力になる。1ラインラッチ信号61の入力で、監視部4、サンプル部82の0から11番目までを初期化し、データレジスタ63の内容をデータラッチ64へ転送する。さらに、デコーダ部81内4ビットカウンタ84に1加算し、4ビットカウンタ84出力は0となる。

【0103】次に、監視部充電信号28によって、容量バラツキ補正を行い、ゲート信号12を入力することで、データラッチ64の192画素中0から11番目の画素の表示データが、ゲート65を介して電流加算部3で電圧信号に変換され、スイッチ部80を介してサンプル部82の0から11番目に書き込まれる。

【0104】次に、1ラインラッチ信号61を再度入力することで、監視部4、サンプル部82の12から23番目までを初期化を行い、4ビットカウンタ84に1加算し、4ビットカウンタ84出力は1となる。そして、監視部充電信号28によって、容量バラツキ補正を再度行い、ゲート信号12を入力することで、データラッチ64の192画素中12から23番目の画素の表示データが、ゲート65を介してサンプル部82の12から23番目に書き込まれる。

【0105】このような動作を、4ビットカウンタの出力が2、3、…15となるまで繰返し、その後、ホールド信号78を入力して、ホールド部83へ書き込み、192画素分の液晶印加電圧を発生する。

【0106】以上の実施例では、電流源部2の電流源に重み付けした例で説明したが、本発明では、電流源に重

み付けしなくても効果を発揮することができる。その一例を図22に示す。図22に示す例は、重み付けを用いない電流源を用いた場合の実施例である。なお、図22において、図2に示すものと同じ構成要素については、同一の符号を付し、重複した説明を省略する。

【0107】本実施例は、データラッチ部1と、重み付けのない電流源部200と、電流加算部300と、監視部4と、電流蓄積部5および電流放電部6と、増幅部7とを有する。

【0108】電流源部200は、重み付けされていない電流源201から207を有する。電流加算部300は、選択ゲート部320と、スイッチ301から307とを有する。これらのスイッチ301から307は、MOSトランジスタを用いている。また、これらのスイッチ301から307の一旦側は、共通に接続されて、電流蓄積部5に接続される。なお、図において、310から316は、選択ゲート部320から出力されるゲート信号である。

【0109】電流源部200の各電流源201から207は、すべて同一電流*i*を出力する能力を持っている。すなわち、重み付けされていない。それらは、対応するスイッチ301から307に供給される。選択ゲート部320は、データラッチ部1から出力される階調情報に応じて、スイッチ301から307を選択的に開閉するゲート信号310から316を出力する。

【0110】ゲート信号310から316に応じて、選択された1または2以上のスイッチがオンすると、それに接続されている電流源からの電流が加算される。すなわち、スイッチのオン個数に応じた電流が加算結果として得られる。例えば、階調情報が4(2進数で100(2))であれば、選択ゲート部320は、ゲート信号310、311、312、313を"High"出力し、その他は、"Low"出力して、スイッチ301、302、303、304をオン状態、その他はオフ状態として、電流蓄積部5に4*i*なる電流を出力する。すなわち、選択ゲート部320は、入力した階調情報と同じ数だけのゲート信号を"High"出力するよう動作する。

【0111】ここで、選択ゲート部320の真理値表の一例を表1に示す。

【0112】

【表1】

【表1】

選択ゲート部の真値表

| 階調情報 | ゲート信号 310 | ゲート信号 311 | ゲート信号 312 | ゲート信号 313 | ゲート信号 314 | ゲート信号 315 | ゲート信号 316 | 加算結果 |
|------|--------------|--------------|--------------|--------------|--------------|--------------|--------------|------|
| 0 | L | L | L | L | L | L | L | 0 |
| 1 | H | L | L | L | L | L | L | i |
| 2 | H | H | L | L | L | L | L | 2i |
| 3 | H | H | H | L | L | L | L | 3i |
| 4 | H | H | H | H | L | L | L | 4i |
| 5 | H | H | H | H | H | L | L | 5i |
| 6 | H | H | H | H | H | H | L | 6i |
| 7 | H | H | H | H | H | H | H | 7i |

【0113】表1に示すように、階調情報に応じて加算結果が得られる。選択ゲート部320は、簡単な論理回路で実現でき、実用上は何ら問題がない。また、本実施例では、階調情報を3ビットとしているが、何ビットでもよい。階調情報のビット数に対応した電流源部、スイッチおよび選択ゲート部を用意することで実現することができる。

【0114】上記実施例の説明から明らかなように、本発明は、重み付けのない電流源を用いても、実現が可能である。

【0115】以上説明したように、本発明を用いれば、複数画素の液晶印加電圧を発生することができる。これまで説明してきた実施例において、その“H”、“L”、立ち下がり、立上りの動作論理に関しては、実施可能な例であり、本記述に限定するものではない。また、本実施例では、縦ストライプ型液晶表示装置に関して説明したが、他の構造を持つ液晶表示装置においても、データラッチ部1と電流蓄積部5の対応が変わるだけで実現できるので、本発明は、縦ストライプ型液晶表示装置に限定するものではない。また、本実施例では誤差補正参照電圧26として、液晶画素へ印加する電圧の最大値として説明したが、nビットの階調情報で発生する2のn乗種類の電圧のうちどれを用いても可能である。

【0116】次に、本発明を採用した液晶の多階調駆動回路LSIのインタフェースについての実施例を記述する。

【0117】図19、図20は、それぞれLSIインタフェースの実施例の構成を示す図である。上記各実施例で用いられているものと同一の構成要素については、同一符号を付してある。

【0118】まず、図19に示す実施例について説明する。符号110は、本実施例の液晶の多階調駆動回路LSIである。また、36はリセット信号、69、70は前に説明したカスケード接続のための制御入出力信号、14は表示データ、13はラッチ信号、61は1ラインラッチ信号、28は監視部充電信号、12はゲート信号、78はホールド信号である。

【0119】本実施例で特徴的なことは、誤差補正参照電圧26を外付けとし、これを階調レベル信号としてLSIに入力させることである。これによって、多階調表示のために必要な階調レベル信号は一つであり、階調表示の微調信号入力を持っても、電源回路に負担もなく、LSIのピン数増加の問題も解消できる。

【0120】次に、図20に示す実施例について説明する。符号111は、本実施例の多階調駆動回路LSIである。図19と同じものには同一符号を付している。

【0121】本実施例で特徴的なことは、電流源部2と誤差補正参照電圧を含む監視部4の一部をLSIの外へ配置している点である。これによっても、階調レベル信号は階調情報ビット数分の電流源出力でよく、LSIのピン数増加問題を解消できる。

【0122】また、赤、緑、青、それぞれの色にたいして、異なった印加電圧を液晶画素へ印加する場合は、図

19、図20において、電流源部2および誤差補正参照電圧26を赤、緑、青それぞれにたいして別々に持てばよい。

【0123】以上説明したように、上記各実施例によれば、階調レベル信号として階調情報のbit数分の電流入力、もしくは参照する基準電圧1つの入力で、多階調表示のために必要な液晶印加電圧を生成できる効果がある。

【0124】

【発明の効果】本発明によれば、少ない階調レベル信号入力で、多色化を実現する多階調表示が行なえる。このため、液晶表示装置のフルカラー化に対応が可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の構成の概要を示すブロック図。

【図2】上記実施例の具体的構成を示す回路図。

【図3】液晶1画素への印加電圧発生動作を示すタイミングチャート。

【図4】電流源と監視部との具体的回路を示す回路図。

【図5】蓄積電圧と電流iとの関係を示すグラフ。

【図6】監視部の制御状態を示すグラフ。

【図7】本発明の多階調駆動回路で用いることができる電流微調回路の一例を示す回路図。

【図8】本発明の第2実施例として、液晶の複数画素に対する多階調駆動回路の構成を示すブロック図。

【図9】複数画素に対する本実施例の動作を示すタイミングチャート。

【図10】本発明の第3の実施例として、液晶の複数画

*素に対する多階調駆動回路の構成を示すブロック図。

【図11】上記実施例に適用することができるホールド回路の一例を示す回路図。

【図12】ホールド回路を付した場合の効果を示すタイミングチャート。

【図13】複数画素に対して電流源を少数化して対応する実施例の構成を示すブロック図。

【図14】図13に示す実施例のデコーダ部およびスイッチ部の具体例を示す回路図。

【図15】図13に示す実施例の動作タイミングチャート。

【図16】複数画素に対して電流源を少数化して対応する他の実施例の構成を示すブロック図。

【図17】図16に示す実施例のゲート周辺の具体的構成を示す回路図。

【図18】図16に示す実施例の動作タイミングチャート。

【図19】本発明を用いたLSIインタフェースの実施例を示す説明図。

【図20】本発明を用いたLSIインタフェースの他の実施例を示す説明図。

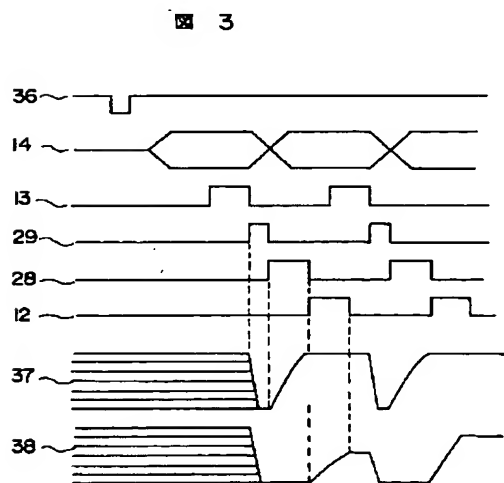
【図21】本発明を用いた液晶表示装置の一実施例を示すブロック図。

【図22】重み付け電流源を用いない、本発明の他の実施例の構成を示すブロック図。

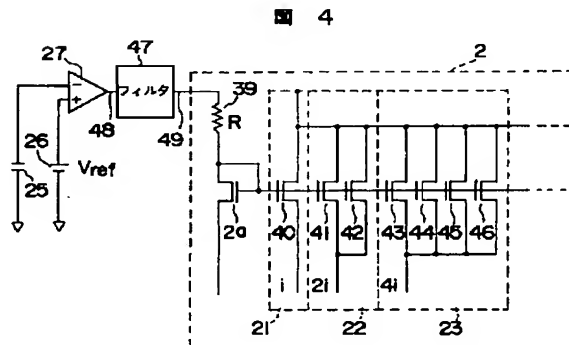
【符号の説明】

1：データラッチ部、2：電流源部、3：電流加算部、4：監視部、5：電流蓄積部、6：電流放電部、7：増幅部

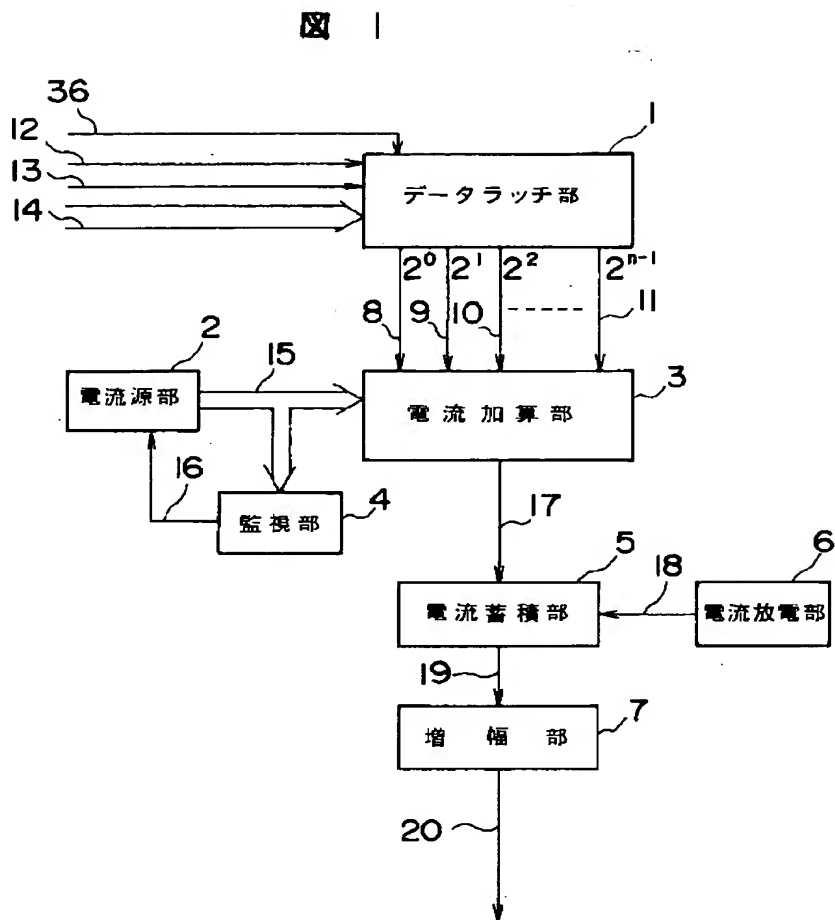
【図3】



【図4】

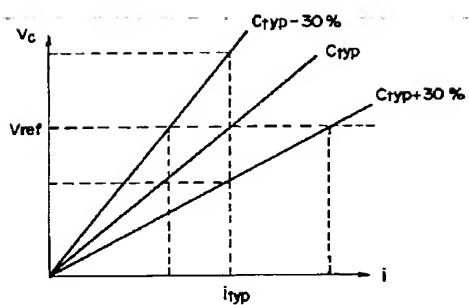


【図1】



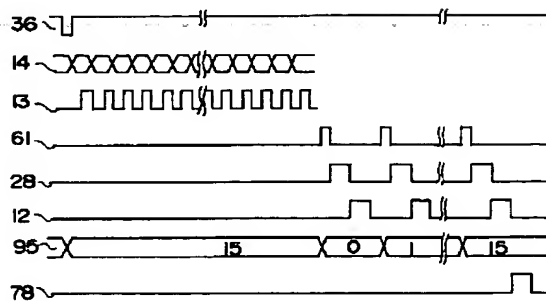
【図5】

図 5



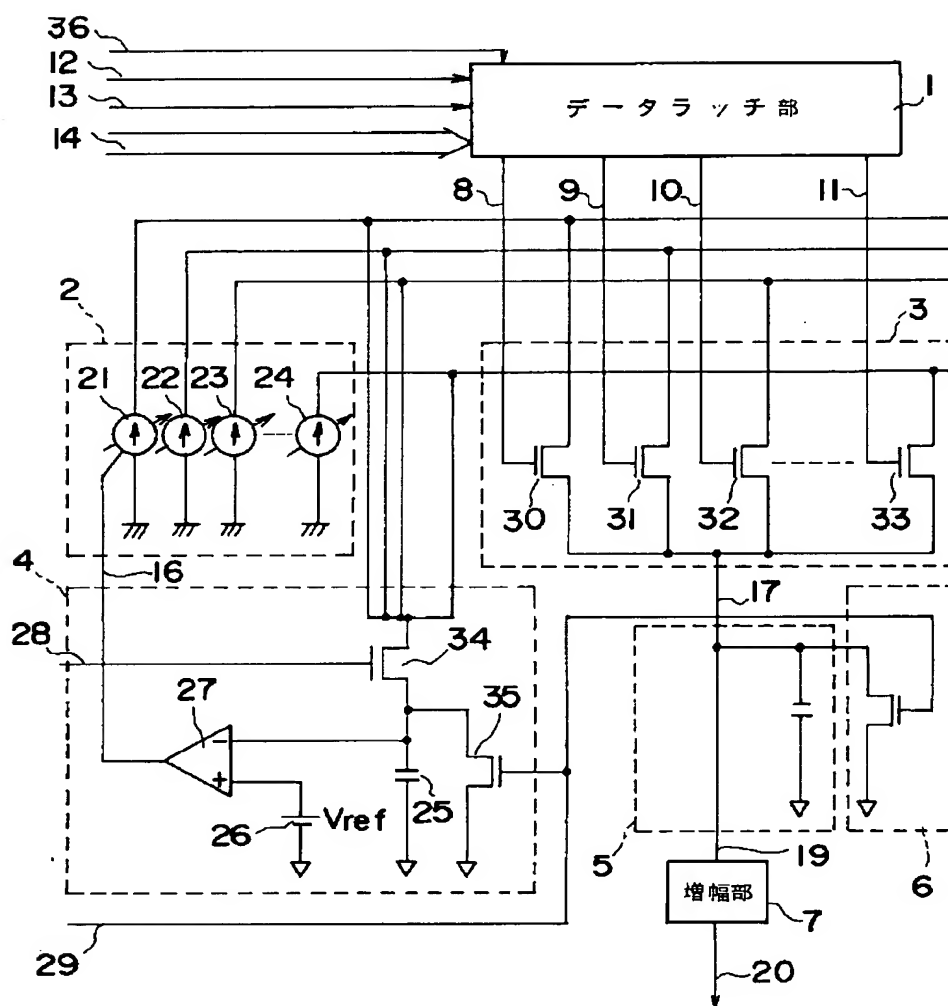
【図18】

図 18



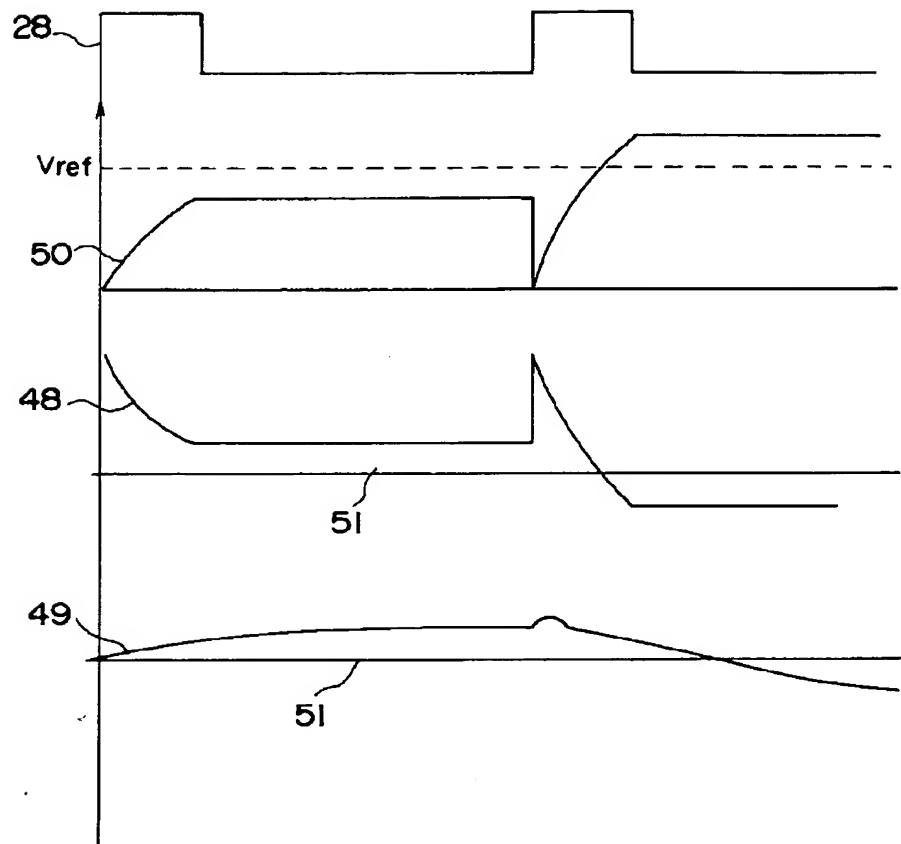
【図2】

図 2



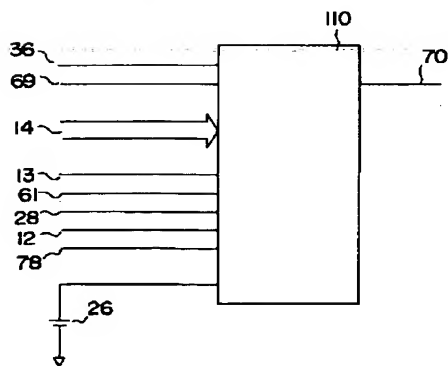
【図6】

図 6



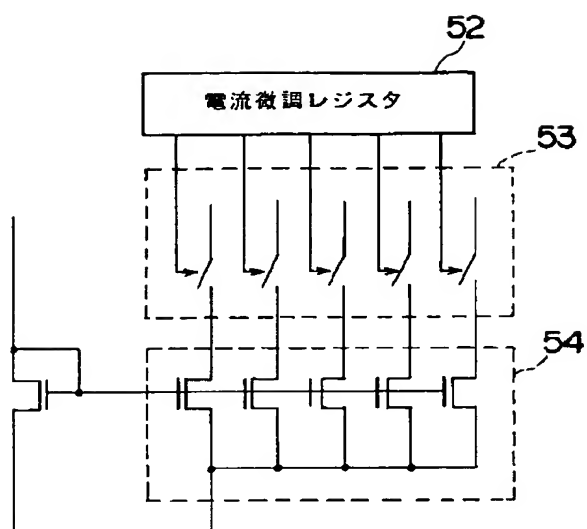
【図19】

図 19



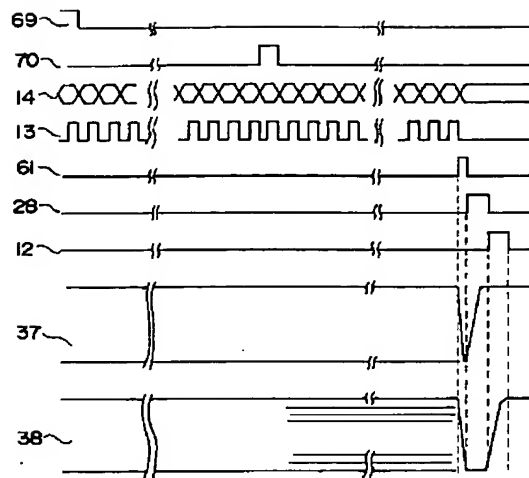
【図7】

図 7



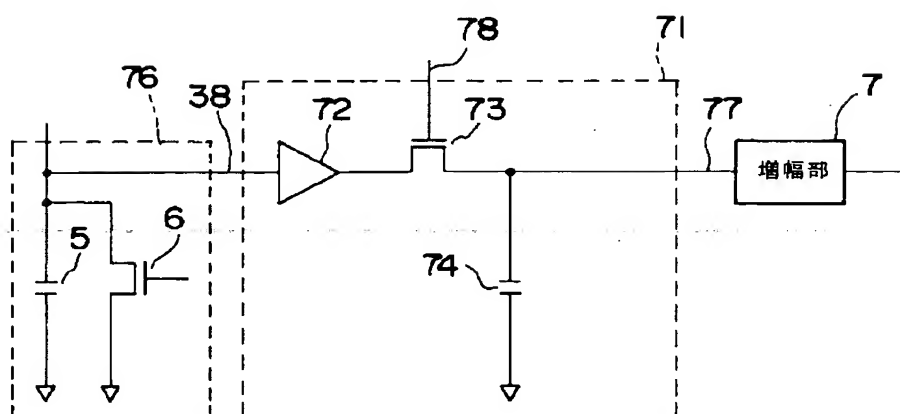
【図9】

図 9



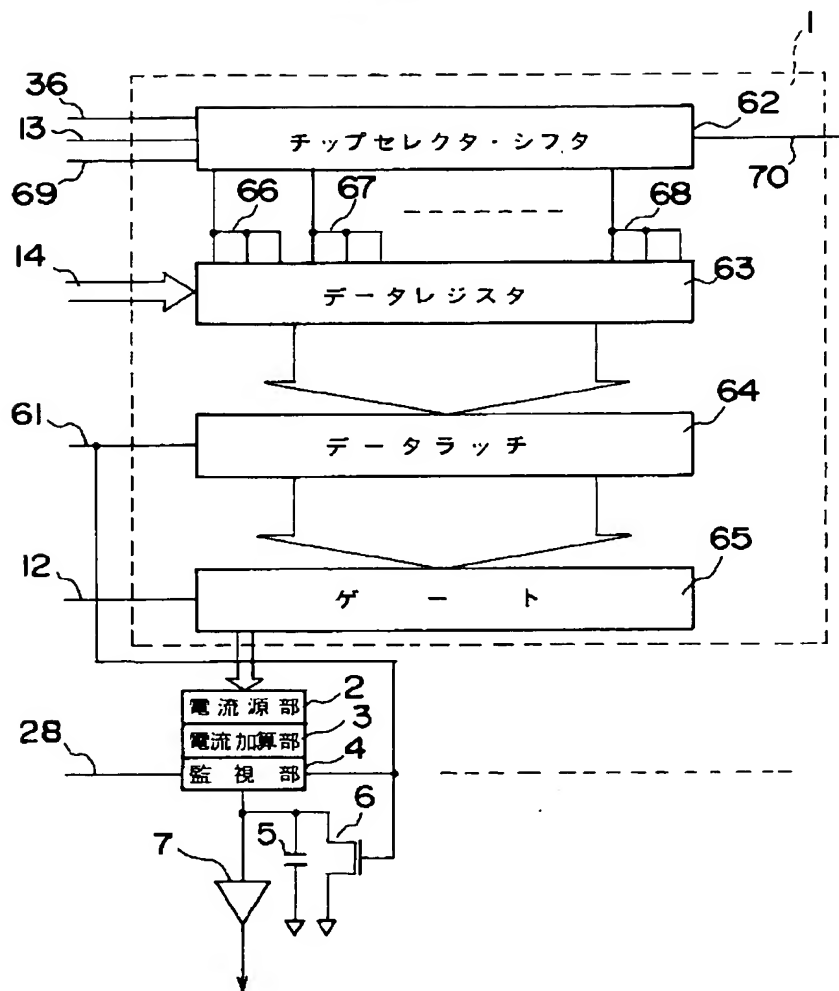
【図11】

図 11



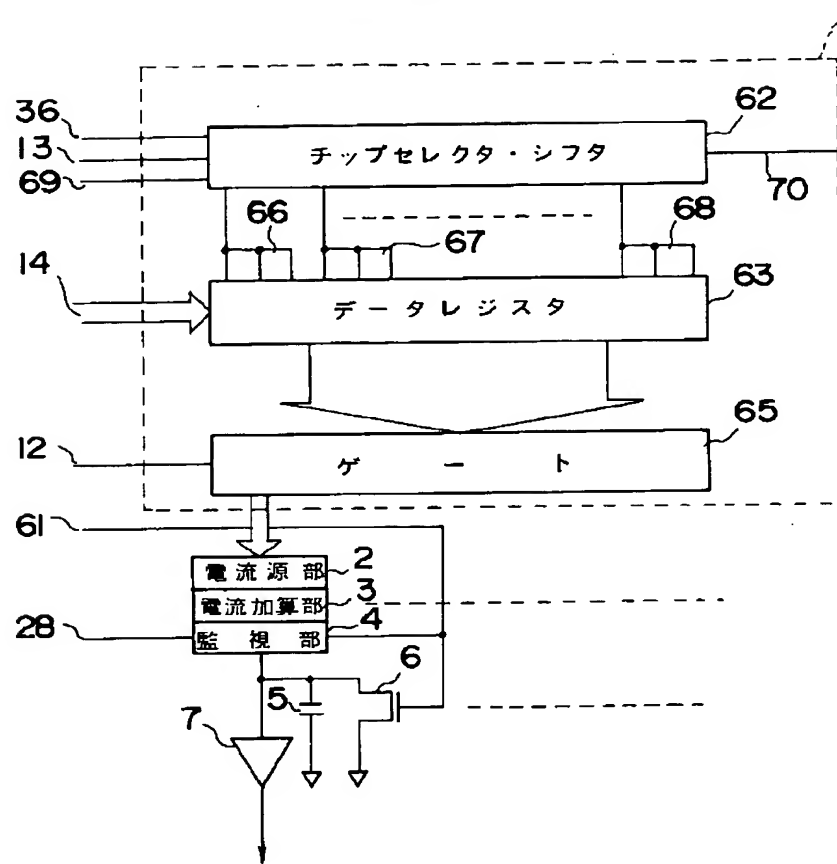
【図8】

図 8



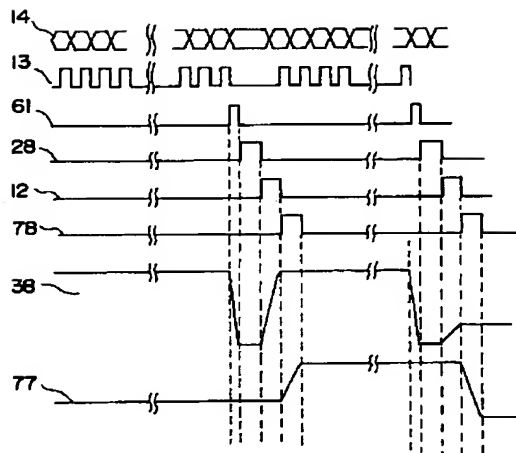
【図10】

図 10



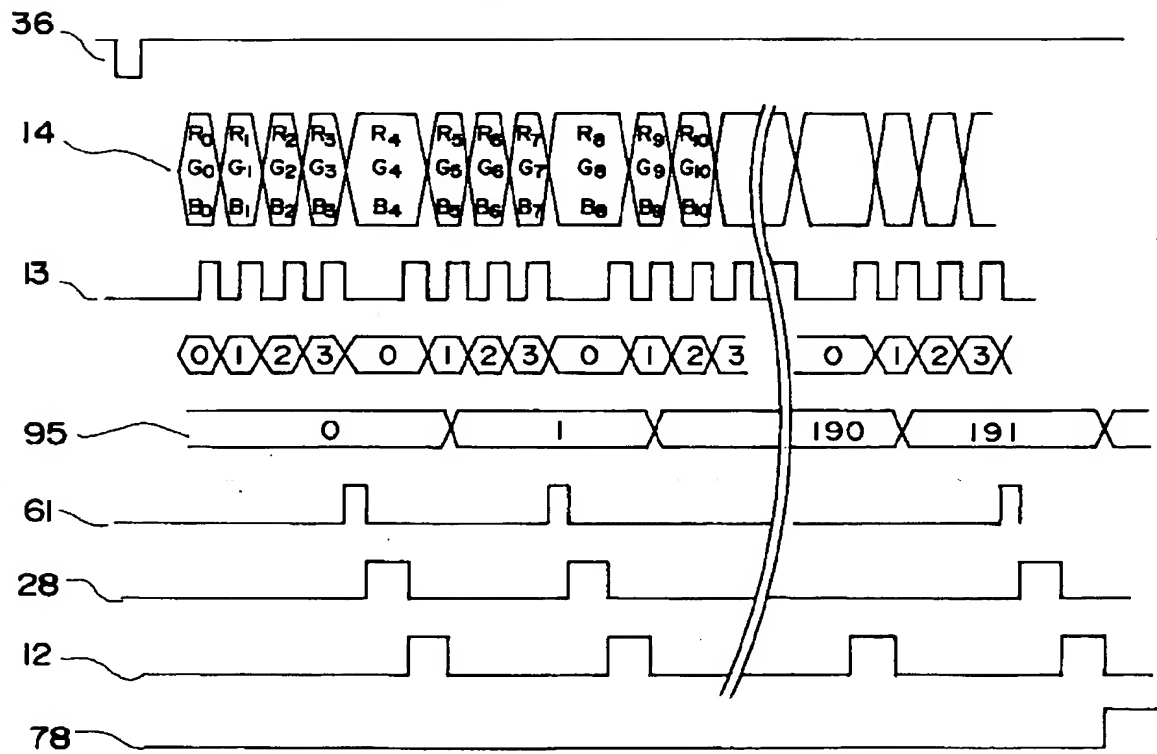
【図12】

図 12



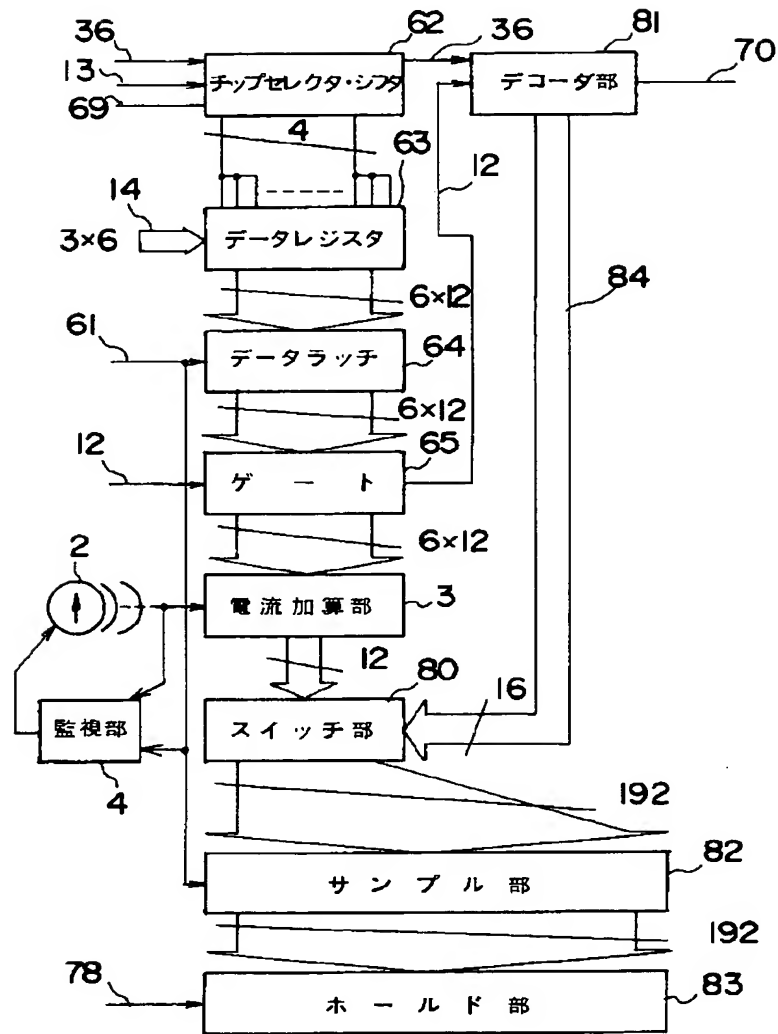
【図15】

図 15



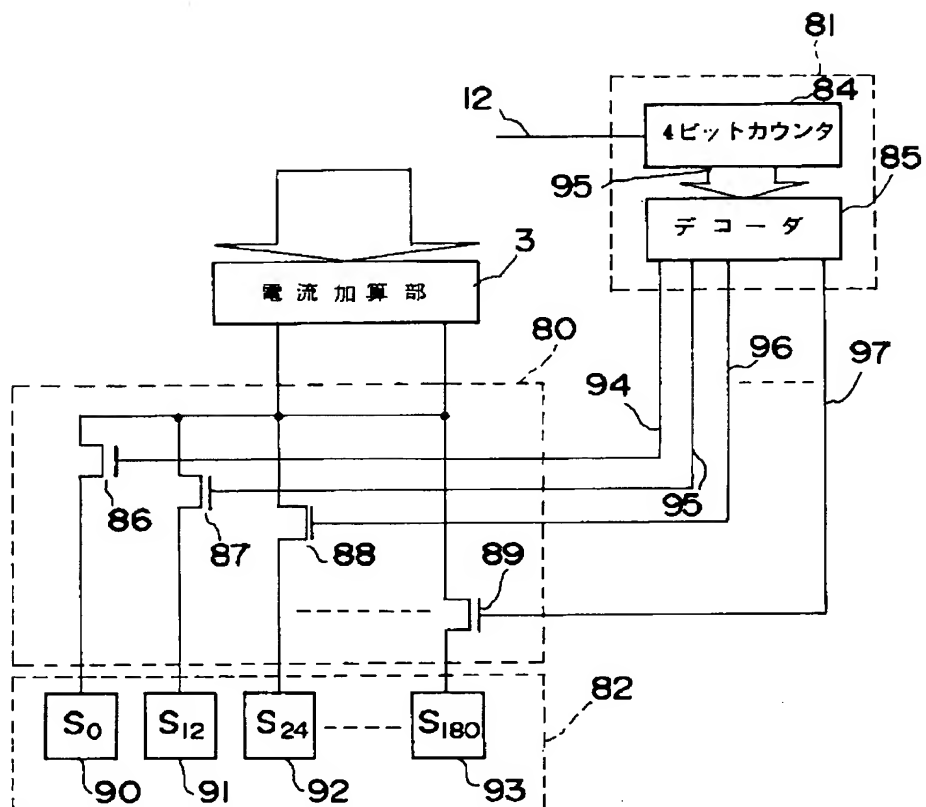
【図13】

図 13



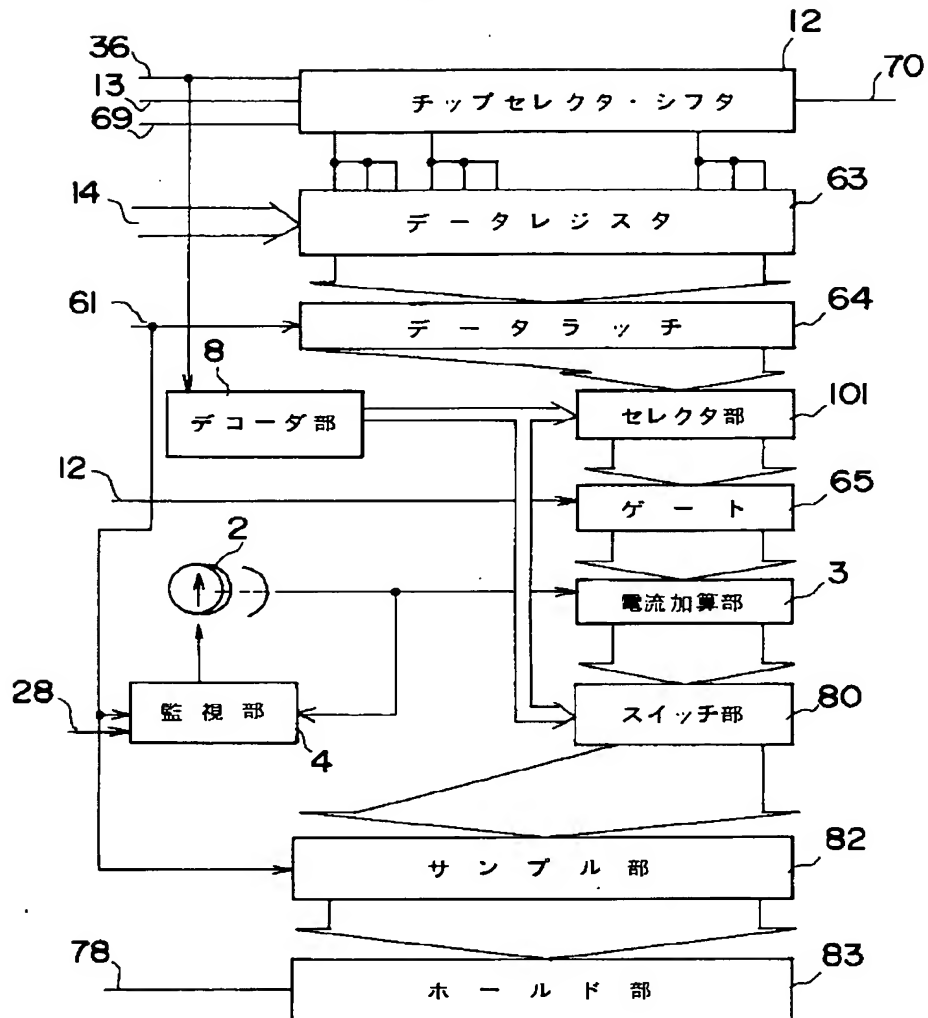
【図14】

図 14



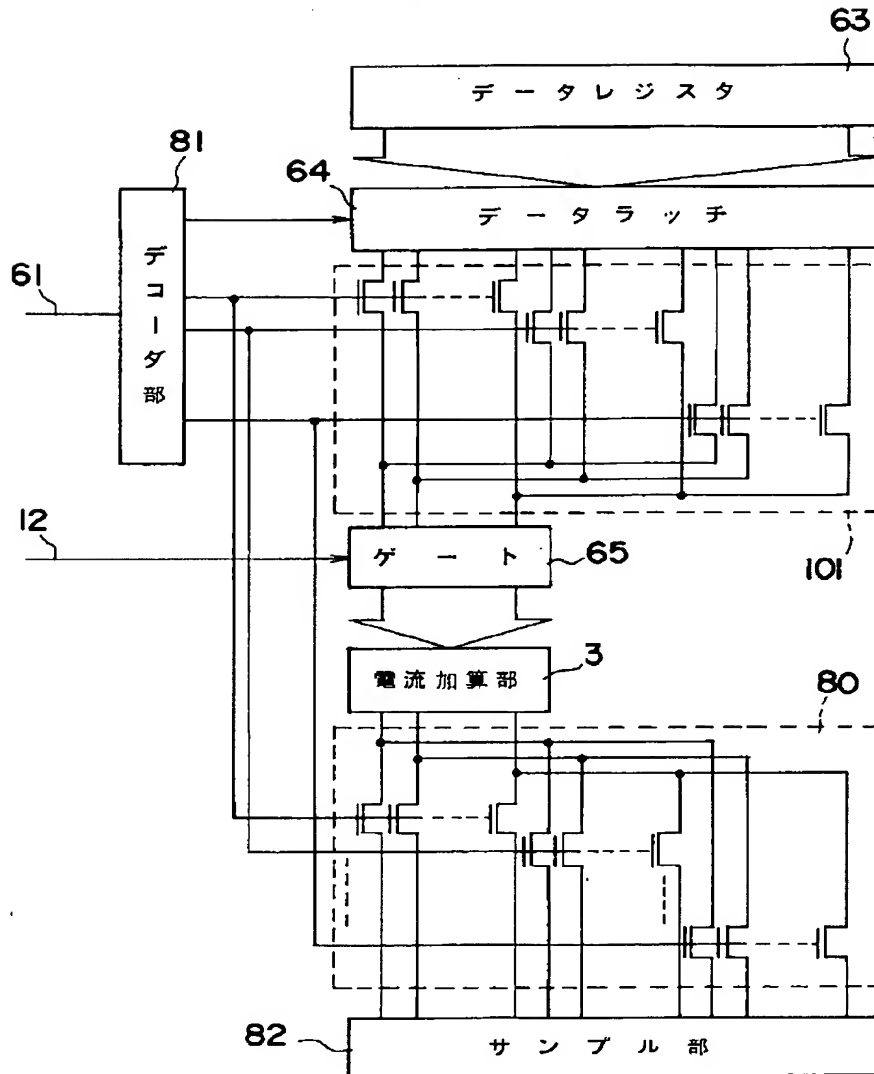
【図16】

図 16



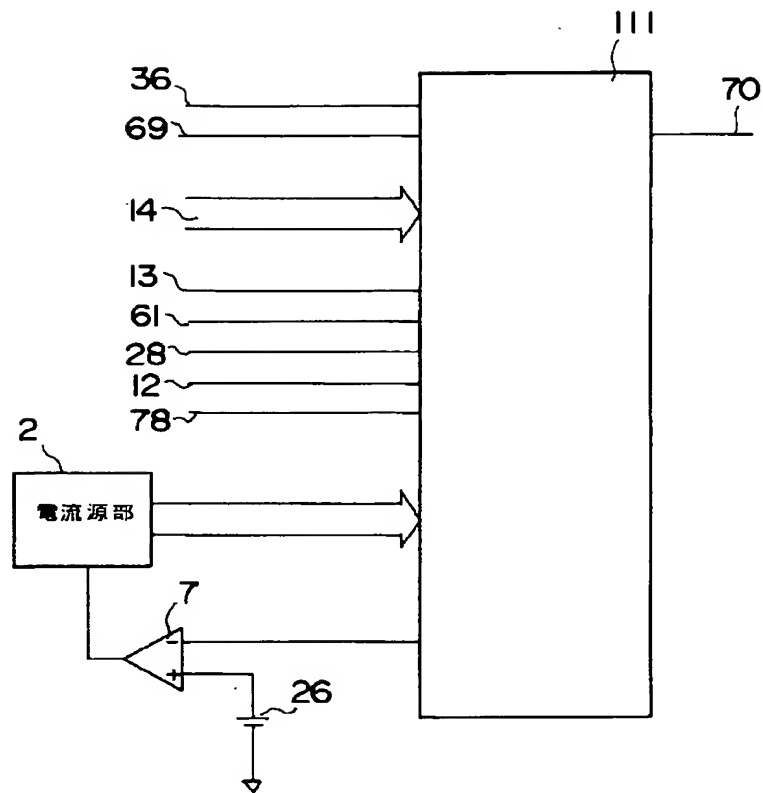
【図17】

図 17



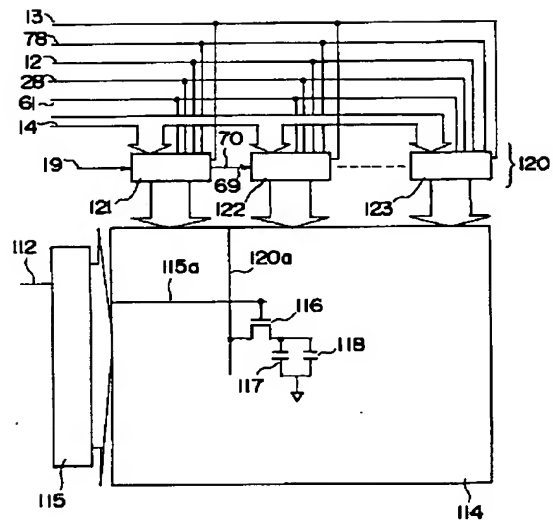
【図20】

図 20



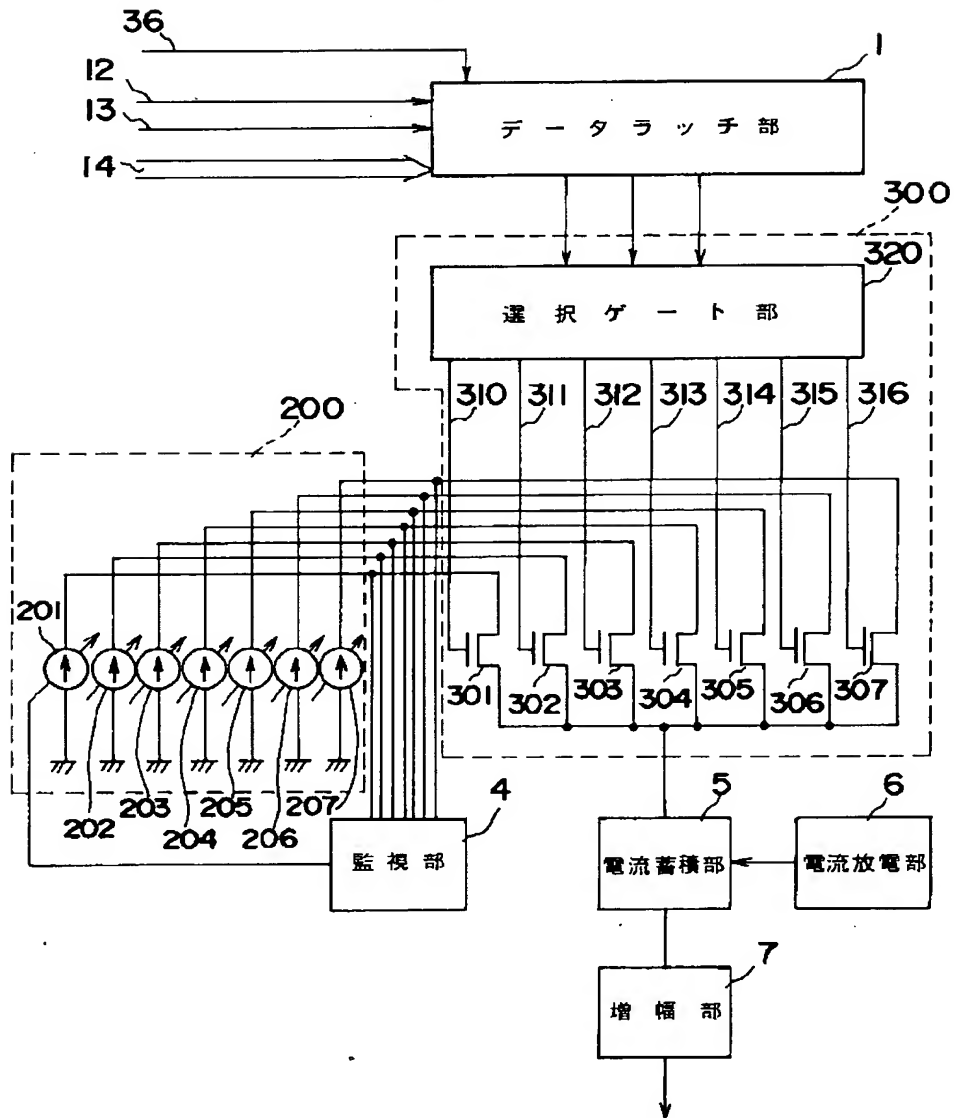
【図 21】

21



【図22】

図 22



フロントページの続き

(72)発明者 鈴木 哲也
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立画像情報システム内

(72)発明者 鈴木 伸太郎
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立画像情報システム内

(72)発明者 白根 弘晃
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立画像情報システム内

(72)発明者 古橋 勉
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所マイクロエレクトロニク
ス機器開発研究所内

(72)発明者 西本 和久
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立画像情報システム内
(72)発明者 二見 利男
千葉県茂原市早野3300番地 株式会社日立
製作所茂原工場内